

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299466

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 21/8222

H01L 27/06

H01L 29/732

H01L 21/331

(21)Application number : 2001-098015

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 30.03.2001

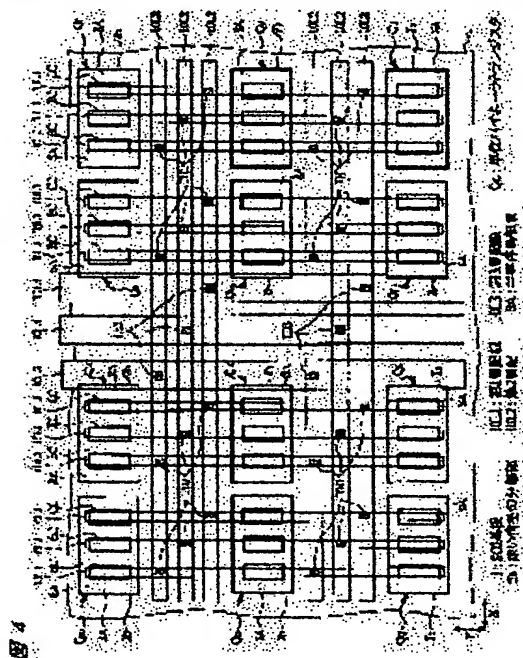
(72)Inventor : TAMAOKI YOICHI
IWASAKI TAKAYUKI
TSUJI KOSUKE
KAMATA CHIYOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the designing man-hours a semiconductor integrated circuit device.

SOLUTION: In a semiconductor layer of an SOI substrate 1, a plurality of completely electrically isolated unit bipolar transistors Qu from each other are connected in parallel to constitute the bipolar transistors needing a large current capacity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-299466

(P2002-299466A)

(43) 公開日 平成14年10月11日 (2002.10.11)

(51) IntCl.⁷H01L 21/8222
27/06
29/732
21/331

識別記号

F I

H01L 27/06
29/72

テーマコード(参考)

101B 5F003
P 5F082

審査請求 未請求 請求項の数14 O L (全 22 頁)

(21) 出願番号 特願2001-98015(P2001-98015)

(22) 出願日 平成13年3月30日 (2001.3.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 玉置 洋一

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

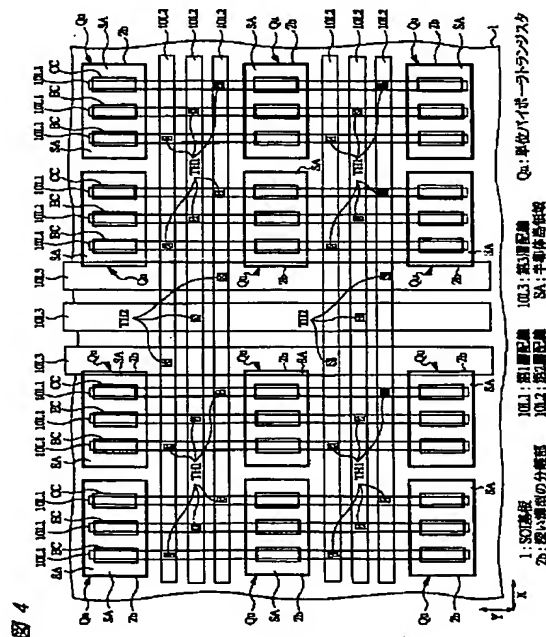
弁理士 筒井 大和

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 半導体集積回路装置の設計工数を低減する。

【解決手段】 SOI基板1の半導体層において、互いに完全に電氣的に分離された複数の単位バイポーラトランジスタQ_uを並列接続することにより、大電流容量を必要とするバイポーラトランジスタを構成する。

【特許請求の範囲】

【請求項1】 支持基板、絶縁層、半導体層の順に積層された基板であって

、該積層基板の前記半導体層の主面に回路素子を形成するためのSOI基板と、

前記SOI基板の半導体層を横切る素子分離用溝によって互いに分離された複数の素子形成領域であって、該複数の素子形成領域は前記素子分離用溝によって互いに同一サイズに区画されて成る複数の半導体島領域と、

前記複数の半導体島領域のそれぞれに形成された互いに同一サイズの複数のバイポーラトランジスタであって、前記半導体層の主面に形成されたエミッタ領域、ベース領域およびコレクタ領域を有する複数の単位バイポーラトランジスタと、

前記複数の単位バイポーラトランジスタのエミッタ領域、ベース領域およびコレクタ領域を互いに並列接続することによって、所望の電気的特性を持つ1個のトランジスタとして機能させるための相互配線とを有することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記複数の半導体島領域は互いに隣接して前記SOI基板の前記半導体層に行列状に形成されて成ることを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置において、前記相互配線は行方向に配置された前記各半導体島領域のエミッタ領域、ベース領域およびコレクタ領域のそれぞれを電気的に共通接続するエミッタ配線、ベース配線およびコレクタ配線と、

各行方向におけるエミッタ配線、ベース配線およびコレクタ配線を列方向においてそれぞれ共通接続するためのエミッタ共通配線、ベース共通配線およびコレクタ共通配線とを有することを特徴とする半導体集積回路装置。

【請求項4】 請求項3記載の半導体集積回路装置において、前記行方向に延在するエミッタ配線、ベース配線およびコレクタ配線は、前記列方向に延在するエミッタ共通配線、ベース共通配線およびコレクタ共通配線より下層の配線によって形成されて成ることを特徴とする半導体集積回路装置。

【請求項5】 支持基板、絶縁層、半導体層の順に積層された基板であって、該積層基板の前記半導体層の主面に回路素子を形成するためのSOI基板と、

前記SOI基板の半導体層の第1領域において素子分離用溝によって他の半導体層から分離された第1半導体島領域、前記半導体層の第2領域において前記第1半導体島領域と同一サイズに素子分離用溝によって区画された複数の半導体島領域から成る第1グループの半導体島領域および前記半導体層の第3領域において前記第1半導体島領域と同一サイズに素子分離用溝によって区画された複数の半導体島領域から成る第2グループの半導体島領域と、

前記第1半導体島領域ならびに前記第1グループおよび前記第2グループの各複数の半導体島領域のそれぞれに形成された互いに同一サイズの複数のバイポーラトランジスタであって、前記半導体層の第1領域、第2領域および第3領域の主面に形成されたエミッタ領域、ベース領域およびコレクタ領域を有する複数の単位バイポーラトランジスタと、

前記半導体層の第1領域における前記単位バイポーラトランジスタ単独で第1の電気的特性を持つ第1トランジスタとして機能させるための第1相互配線と、

前記半導体層の第2領域における前記第1グループの単位バイポーラトランジスタのエミッタ領域、ベース領域およびコレクタ領域を互いに並列接続することによって、第2の電気的特性を持つ第2トランジスタとして機能させるための第2相互配線と、

前記半導体層の第3領域における前記第2グループの単位バイポーラトランジスタのエミッタ領域、ベース領域およびコレクタ領域を互いに並列接続することによって、第3の電気的特性を持つ第3トランジスタとして機能させるための第3相互配線とを有することを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置において、前記第1グループおよび第2グループの各グループの前記複数の半導体島領域は互いに隣接して前記SOI基板の前記半導体層に行列状に形成されて成ることを特徴とする半導体集積回路装置。

【請求項7】 請求項6記載の半導体集積回路装置において、前記第2相互配線および前記第3相互配線の各相互配線は行方向に配置された前記各半導体島領域のエミッタ領域、ベース領域およびコレクタ領域のそれぞれを電気的に共通接続するエミッタ配線、ベース配線およびコレクタ配線と、

各行方向におけるエミッタ配線、ベース配線およびコレクタ配線を列方向においてそれぞれ共通接続するためのエミッタ共通配線、ベース共通配線およびコレクタ共通配線とを有することを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置において、前記第2相互配線および前記第3相互配線の各相互配線の前記行方向に延在するエミッタ配線、ベース配線およびコレクタ配線は、前記列方向に延在するエミッタ共通配線、ベース共通配線およびコレクタ共通配線より下層の配線によって形成されて成ることを特徴とする半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置において、前記エミッタ共通配線、ベース共通配線およびコレクタ共通配線は、活性領域上において、前記エミッタ共通配線、ベース共通配線およびコレクタ共通配線の下層のエミッタ配線、ベース配線およびコレクタ配線と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項10】 絶縁層上に半導体層が積層された基板であって、該積層基板の前記半導体層の主面に回路素子を形成するためのSOI基板と、

前記SOI基板の半導体層を横切り前記絶縁層に達する素子分離用溝によって互いに分離された複数の素子形成領域であって、該複数の素子形成領域は前記素子分離用溝によって互いに同一サイズに区画されて成る複数の半導体島領域と、

前記複数の半導体島領域のそれぞれに形成された互いに同一の複数のバイポーラトランジスタであって、前記半導体層の主面に形成されたエミッタ領域、ベース領域およびコレクタ領域を有する複数の単位バイポーラトランジスタと、

前記複数の単位バイポーラトランジスタのエミッタ領域、ベース領域およびコレクタ領域を互いに並列接続することによって、所望の電気的特性を持つ1個のトランジスタとして機能させるための相互配線とを有し、前記複数の半導体島領域は、2個で1組を成した状態で前記半導体層の主面に配置され、その組を成す半導体島領域の各々の単位バイポーラトランジスタの各々のベース領域は、前記組を成す各々の半導体島領域の隣接間上に一体的にパターンニングされたベース引出電極と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項11】 請求項10記載の半導体集積回路装置において、前記複数の単位バイポーラトランジスタの各々のコレクタ領域は、第1層配線により互いに電気的に接続され、前記複数の単位バイポーラトランジスタの各々のエミッタ領域は、前記コレクタ用の第1層配線に対して櫛歯状にかみ合わされるように配置された他の第1層配線により互いに電気的に接続され、前記複数の単位バイポーラトランジスタの各々のベース領域は、さらに他の第1層配線で引き出され、そのさらに他の第1層配線の各々が第1層配線よりも上層の同一の第2層配線に電気的に接続されることで互いに電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項12】 絶縁層上に半導体層が積層された基板であって、該積層基板の前記半導体層の主面に回路素子を形成するためのSOI基板と、

前記SOI基板の半導体層を横切り前記絶縁層に達する素子分離用溝によって互いに分離された複数の素子形成領域であって、該複数の素子形成領域は前記素子分離用溝によって互いに同一サイズに区画されて成る複数の半導体島領域と、

前記複数の半導体島領域のそれぞれに形成された互いに同一の複数のバイポーラトランジスタであって、前記半導体層の主面に形成されたエミッタ領域、ベース領域およびコレクタ領域を有する複数の単位バイポーラトランジスタと、

前記複数の単位バイポーラトランジスタのエミッタ領

域、ベース領域およびコレクタ領域を互いに並列接続することによって、所望の電気的特性を持つ1個のトランジスタとして機能させるための相互配線とを有し、

前記複数の半導体島領域の各々の半導体島領域には、2個の単位バイポーラトランジスタが配置されていることを特徴とする半導体集積回路装置。

【請求項13】 請求項12記載の半導体集積回路装置において、前記複数の単位バイポーラトランジスタの各々のコレクタ領域は、第1層配線により互いに電気的に接続され、前記複数の単位バイポーラトランジスタの各々のエミッタ領域は、前記コレクタ用の第1層配線に対して櫛歯状にかみ合わされるように配置された他の第1層配線により互いに電気的に接続され、前記複数の単位バイポーラトランジスタの各々のベース領域は、さらに他の第1層配線で引き出され、そのさらに他の第1層配線の各々が第1層配線よりも上層の同一の第2層配線に電気的に接続されることで互いに電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項14】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 絶縁層上に形成された半導体層に互いに電気的に分離された状態で同一サイズに区画されて成る複数の半導体島領域を配置する工程、(b) 前記半導体島領域の各々に設けられた同一のバイポーラトランジスタであって、前記半導体層の主面に形成されたエミッタ領域、ベース領域およびコレクタ領域を有する単位バイポーラトランジスタを互いに電気的に並列接続することで、所望の電気的特性を持つ1個のトランジスタを複数形成して集積回路を構成する工程、(c) 前記集積回路の回路シミュレーションを行う工程、(d) 前記回路シミュレーションの結果に基づいて、前記所望の電気的特性を持つ1個のトランジスタを構成する前記単位バイポーラトランジスタの並列接続数を決定する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、バイポーラトランジスタを有する絶縁素子分離型半導体集積回路装置技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】支持半導体基板に絶縁物層を介して素子形成用半導体層を積層し、該素子形成用半導体層を絶縁物材料が埋め込まれたトレンチあるいは分離溝によって、複数の半導体島領域（アイランド）に分離したSOI（Silicon On Insulator）型あるいは絶縁素子分離型半導体基板を使用した半導体集積回路装置が周知である。このSOI型半導体集積回路装置は、PN接合素子分離型に比較して寄生容量が非常に小さく、かつ、リーク電流も少ないために、高速化と低消費電力化の双方が同時に達成することができ、デジタル回路、アナログ回

路あるいはそれらの混成回路をバイポーラトランジスタとCMOS (Complementary MOS) トランジスタによって形成したBiCMOS型集積回路装置や、コンプリメンタリーバイポーラトランジスタによって形成したC-Bipolar型集積回路装置に应用されている。このSOI型集積回路装置においても、論理回路、駆動回路、出力回路など応用回路に対応する異なる許容電流を持つ各種のバイポーラトランジスタが要求される。

【0003】本発明者らが検討したバイポーラトランジスタを有するSOI型半導体集積回路装置技術では、その設計に際して、回路に必要な電流容量（許容電流）に合わせて、幾何学的寸法が異なる複数種類の大電流バイポーラトランジスタを用意し、サイズの異なるいろいろな種類の大電流バイポーラトランジスタを配置し配線して半導体集積回路全体を構成するものである。

【0004】

【発明が解決しようとする課題】ところが、上記本発明者らが検討した技術においては、以下の課題があることを本発明者は見出した。

【0005】すなわち、用意しなければならないバイポーラトランジスタの種類が多いため、それぞれのバイポーラトランジスタに合わせてデバイスパラメータも多数必要となる。また、そのためにアナログ回路での特性のチューニングも非常に面倒となる。この結果、半導体集積回路装置の設計は、工数の多い、面倒な作業となっている。

【0006】さらに詳細に言うならば、互いに幾何学的寸法を変えることによって異なる許容電流を持つ各種のバイポーラトランジスタを得ようとした場合、絶縁素子分離溝で包囲される半導体島領域の大きさ、エミッタ接合面積、コレクタ接合面積、並びにエミッタ、ベースおよびコレクタの各領域に対する電極接合面積などの幾何学的寸法、あるいは不純物濃度分布がトランジスタによって異なるため、トランジスタによってデバイス設計のパラメータが異なり、設計が複雑となる。また、増幅利得、ベース抵抗、雑音指数などのようなトランジスタ素子の電気的特性が幾何学的寸法に依存する場合もある。

【0007】また、本発明者らは、バイポーラトランジスタを有する半導体集積回路装置の設計技術の観点で公知例を調査した。その結果、例えば特開平11-102916号公報には、多段増幅器の初段部を、LOCOS法で形成されたフィールド絶縁膜およびPN接合で互いに分離された複数のシングルエミッタ構造のバイポーラトランジスタを並列接続することで構成する技術が開示されている。

【0008】本発明の目的は、半導体集積回路装置の設計工数を低減することのできる技術を提供することにある。

【0009】また、本発明の他の目的は、大電流用トランジスタの電気的特性が改善された半導体集積回路装置

を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】すなわち、本発明は、SOI基板の半導体層において互いに完全に電氣的に分離された複数の単位バイポーラトランジスタを並列接続することにより、大電流容量を必要とするバイポーラトランジスタを構成するものである。

【0013】また、本発明は、所望の電流容量を与えるトランジスタは、幾何学的寸法が実質的に同一サイズである複数の単位バイポーラトランジスタを互いに電氣的に並列接続したものによって構成する。

【0014】また、本発明は、一つのトランジスタを形成する並列接続される複数の単位トランジスタは行列状に配置（レイアウト）される。

【0015】また、本発明は、並列接続配線は多層配線によって構成される。例えば、エミッタコンタクト領域、ベースコンタクト領域およびコレクタコンタクト領域のそれぞれは、特に限定されないが、第1層配線および第2層配線で互いに並列接続される。

【0016】また、本発明は、半導体集積回路装置を構成するSOI基板（チップ）の中に、単位トランジスタの並列接続個数が互いに異なる複数種のバイポーラトランジスタを構成し、これによって、許容電流が互いに異なる複数種のバイポーラトランジスタを得ることができる。例えば、単位トランジスタで比較的少ない許容電流（消費電流）のトランジスタを用いて論理回路部を構成し、単位トランジスタを多数並列接続した比較的許容電流の大きいトランジスタを用いてアナログ出力回路部を構成することができる。単位トランジスタの幾何学的寸法は、特に限定されないが、論理回路などの構成トランジスタなどのように、その半導体集積回路装置を構成するために一番多く採用されるトランジスタ寸法を基準に決定できる。また、この単位トランジスタのサイズは最小加工寸法によって制限される寸法を基準にして決定しても良い。

【0017】また、本発明は、同一サイズの単位トランジスタの並列接続数を変えることによって、要求されるトランジスタの許容電流を一義的に決定できる。したがって、個数のパラメータによって設計が容易となる。また、比較的大電流のトランジスタを同一サイズの単位トランジスタを配線によって並列接続して構成することから、ベース抵抗などの素子特性の低下を防止できる。さらに、大電流用トランジスタから放出される熱の伝達効率が特に低下するSOI型半導体集積回路装置において

は、並列接続するための配線を介して熱放散を向上させることができる。

【0018】本発明の更なる他の特徴は、以下に述べる実施の形態から理解できる。

【0019】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0020】1. SOI (Silicon On Insulator) 基板とは、絶縁層上に半導体層を設けて成る半導体基板をいう。この半導体層に集積回路素子が形成される。一般的に支持基板上に絶縁層を介して半導体層を設けて成る。また、半導体層に形成されるバイポーラトランジスタ素子は、絶縁素子分離用溝によって隣接する他の領域から分離されている。

【0021】2. 同一サイズまたは同一のトランジスタとは、流すことが可能な電流（許容電流）が同一のトランジスタをいう。すなわち、最適電流値が同一のトランジスタをいう。最適電流値とは、トランジスタが最も良好な電流利得、雑音指数等のような電気的特性を示した時のコレクタ電流値をいう。構造的には、同一サイズの単位トランジスタとは、SOI基板の半導体層に形成され、絶縁素子分離用溝で取り囲まれた四角形などの半導体島領域（トランジスタ素子形成領域）の平面的な占有面積、形状、あるいは寸法（長さおよび幅の寸法）のいずれかが互いに実質的に同一で、その同一の素子形成領域内にエミッタ領域、ベース領域およびコレクタ領域が形成されたものをいう。したがって、特に、限定されないが、エミッタの平面的な長さおよび幅の寸法（サイズ）、並びにコレクタ接合面積は単位トランジスタ相互間で同一とし、さらに互いに並列接続するために必要なエミッタ領域、ベース領域およびコレクタ領域の各領域に対するコンタクト領域（電極取り出し領域）の形状あるいは寸法（長さおよび幅の寸法）も単位トランジスタ相互間で同一とすることが好ましい。さらに、本発明では、素子分離用溝に取り囲まれた半導体島領域内に形成される単位トランジスタは、マルチエミッタ構造でも良い。この場合も、エミッタの幅および長さの寸法は、互いに同一であることが好ましい。単位トランジスタのエミッタ接合およびコレクタ接合の各深さについても、トランジスタ相互間で同一であることが好ましい。製法的に見た場合、複数の単位トランジスタ間の素子領域、エミッタ領域、ベース領域、およびコレクタ領域の各サイズをトランジスタ相互間で互いに同一とすることによって、各製造工程で必要とするフォトリソグラフィ用マスクの製作を簡単にすることができる。

【0022】3. 並列接続されるトランジスタの最小単位サイズは、基本的に半導体集積回路装置の中で使用されている所定の回路の特性を考慮して最小寸法を決めている。

【0023】以下の実施の形態においては便宜上その必

要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

05 【0024】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

10 【0025】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

15 【0026】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20 【0027】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

25 【0028】また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0029】また、本実施の形態では、バイポーラトランジスタをトランジスタと略す。

30 【0030】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0031】（実施の形態1）図1（a）は、本実施の形態の半導体集積回路装置を構成するトランジスタQを示している。このトランジスタQは、比較的大電流を流すことが可能な大電流トランジスタであり、導電形式はnpn型またはpnp型のいずれでも良い。

35 【0032】図1（b）は、図1（a）のトランジスタQの回路構成を示している。トランジスタQは、同一サイズの複数の単位トランジスタQuを並列接続することで形成されている。すなわち、複数の単位トランジスタQuの各ベースはベース用の配線で、各エミッタはエミッタ用の配線で、各コレクタはコレクタ用の配線で互いに電氣的に接続されている。

40 【0033】図1（c）は、図1（a）、（b）のトランジスタQのデバイス構造を模式的に示している。本実施の形態においては、トランジスタQを構成する各単位トランジスタQuが、互いに完全に電氣的に分離された状態で、SOI基板1の半導体層に配置されている。すなわち、SOI基板1の主面には、例えば平面四角形状に区分けされた複数の半導体島領域SAが行列状に規則的に近接して配置されている。各半導体島領域SAは、

後述する深い溝型の分離部とSOI基板1の絶縁層とによって完全に電氣的に分離されている。そして、この各半導体島領域SAに、単位バイポーラトランジスタQuが形成されている。

【0034】図2は、図1の単位トランジスタQuのデバイス構造の一例を示している。図2(a)は単位トランジスタQuの平面図、(b)は単位トランジスタQuをpnp型とした場合の(a)のX1-X1線の断面図、(c)は単位トランジスタQuをnpn型とした場合の(a)のX1-X1線の断面図をそれぞれ示している。いずれも縦(パーティカル)型のトランジスタを例示しているが、横(ラテラル)型のトランジスタとしても良い。

【0035】SOI基板1は、支持基板1aと、その上に形成された絶縁層1bと、さらにその上に形成された半導体層1cとを有している。支持基板1aは、例えばn型の単結晶シリコン(Si)からなり、SOI基板1の機械的強度を確保する機能を有している。絶縁層1bは、例えば酸化シリコン(SiO₂)からなり、その厚さは、例えば0.2~0.5μm程度である。半導体層1cは、例えば単結晶シリコンからなり、この半導体層1cに集積回路素子が形成される。SOI基板1は、例えば貼り合わせ法によって形成されている。すなわち、単結晶シリコン等からなる2枚の半導体ウエハ(以下、単にウエハという)を絶縁層1bを介して貼り合わせた後、一方のウエハの裏面を研削および研磨し、さらに、その研削および研磨をしたウエハの裏面にコレクタ埋込層(後述の埋込コレクタ領域3a1, 3a2)を形成した後、所定導電型の単結晶シリコン等をエピタキシャル法によって成長させることで形成されている。したがって、半導体層1cの単結晶シリコン層は、ウエハで形成された部分とエピタキシャル法で形成された部分とを有している。

【0036】半導体層1cの主面(集積回路素子形成面)の分離領域には、浅い分離部2aと、深い溝型の分離部(素子分離用溝)2bとが形成されている。浅い分離部2aは、例えばLOCOS(Local Oxidization of Silicon)法によって形成されている。集積回路素子の活性領域(アクティブ領域)の平面範囲は浅い分離部2aによって規定されている。この浅い分離部2aの底部は絶縁層1bには達しておらず、その下層には半導体層1cが残されている。この分離部2aは、LOCOS法によるものに限定されるものではなく、例えば浅い溝型の分離部(SGI:Shallow Groove Isolation)で形成しても良い。この浅い溝型の分離部は、半導体層1cの主面から絶縁層1bに達しない程度の深さまで掘られた浅溝内に、例えば酸化シリコン膜等のような絶縁膜を埋め込むことで形成される。一方、上記深い溝型の分離部(Trench Isolation)2bは、浅い分離部2aの上面からその分離部2aおよび半導体層1cを貫通して絶縁

層1bに達するように掘られた深い溝内に、例えば酸化シリコン膜等のような絶縁膜を埋め込むことで形成されている。この深い溝型の分離部2bおよび絶縁層1bによって取り囲まれ分離された半導体層1cの半導体島領域SAに、上記単位トランジスタQuは形成されている。したがって、各単位トランジスタQuは半導体層1cにおいて電氣的に完全に分離されている。そして、単位トランジスタQuの分離部2bで取り囲まれた半導体島領域SAは、平面的にトランジスタ相互間で同一のサイズを有している。

【0037】図2(b),(c)において、半導体層1c(半導体島領域SA)には、それぞれ埋込コレクタ領域3a1, 3a2が形成されている。埋込コレクタ領域3a1は、例えばホウ素(B)が含有されてp型にされ、埋込コレクタ領域3a2は、例えばアンチモン(Sb)が含有されてn型にされている。この埋込コレクタ領域3a1, 3a2の上層には、それぞれコレクタ領域3b1, 3b2およびコレクタ引出領域3c1, 3c2が形成されている。コレクタ領域3b1は、例えばホウ素が含有されてp型にされ、コレクタ領域3b2には、例えばリン(P)またはヒ素(As)が含有されてn型にされている。また、コレクタ引出領域3c1は、例えばホウ素が含有されてp型にされ、コレクタ引出領域3c2は、例えばリンまたはヒ素が含有されてn型にされている。このコレクタ領域3b1, 3b2と、コレクタ引出領域3c1, 3c2とは、その間に設けられた浅い分離部2aによって分離されているが、それぞれ上記埋込コレクタ領域3a1, 3a2を通じて互いに低抵抗な状態で電氣的に接続されている。

【0038】上記コレクタ領域3b1, 3b2の上層部には、それぞれベース領域4a1, 4a2が形成されている。図2(b)のベース領域4a1は、例えばリンまたはヒ素(As)が含有されてn型にされている。このベース領域4a1には、ベース引出領域4b1が形成されている。このベース引出領域4b1は、例えばリンまたはヒ素が含有されてn型にされている。一方、図2(c)のベース領域4a2は、例えばホウ素が含有されてp型にされている。このベース領域4a2には、例えばp型の多結晶シリコンからなるベース引出電極5が電氣的に接続されている。このベース引出電極5の他端側は浅い分離部2a上に延在した状態でパターン形成されている。

【0039】上記ベース領域4a1, 4a2の上層には、エミッタ領域6a1, 6a2が形成されている。図2(b)のエミッタ領域6a1は、例えばホウ素が含有されてp型にされている。このエミッタ領域6a1には、例えばp型の多結晶シリコンからなるエミッタ引出電極7a1が電氣的に接続されている。一方、図2(c)のエミッタ領域6a2は、例えばリンまたはヒ素が含有されてn型にされている。このエミッタ領域6

a 2には、例えばn型の多結晶シリコンからなるエミッタ引出電極7 a 2が電氣的に接続されている。なお、このエミッタ引出電極7 a 2と、上記ベース引出電極5とは絶縁されている。

【0040】並列接続される単位トランジスタQ uの占有面積が互いに同一サイズであることに加え、単位トランジスタQ uのエミッタの幅および長さは、1つの半導体集積回路装置内で共通する寸法となっている。エミッタの幅の値は、一般的に、所定の製品または時代の技術において、良好なトランジスタ特性を得ることが可能な最小寸法である。エミッタ幅は、フォトリソグラフィ技術における最小加工寸法よりも小さくできる。なお、1つの半導体集積回路装置内で最小のエミッタ幅を持つ小電流トランジスタを単位トランジスタとし、その最小のエミッタ幅の2倍以上のエミッタ幅を持つトランジスタを前記大電流トランジスタと定義することもできる。エミッタ長（エミッタ幅に対して交差する長手方向の寸法）は、単位トランジスタQ uが必要とするコレクタ電流値等によって変わる。

【0041】このような半導体層1 cおよび分離部2 a, 2 b上には、例えば酸化シリコン膜からなる絶縁膜8が堆積されている。絶縁膜8上には、ベース電極9 B、エミッタ電極9 Eおよびコレクタ電極9 Cが形成されている。ベース電極9 B、エミッタ電極9 Eおよびコレクタ電極9 Cは、例えばアルミニウムまたはアルミニウム合金等のような金属からなる。図2 (b)において、ベース電極9 Bは、コンタクトホールB Cを通じてベース引出領域4 b 1と電氣的に接続されている。また、エミッタ電極9 Eは、コンタクトホールE Cを通じてエミッタ電極7 a 1と電氣的に接続されている。さらにコレクタ電極9 Cは、コンタクトホールC Cを通じてコレクタ引出領域3 c 1と電氣的に接続されている。一方、図2 (c)において、ベース電極9 Bは、コンタクトホールB Cを通じてベース引出電極5と電氣的に接続されている。また、エミッタ電極9 Eは、コンタクトホールE Cを通じてエミッタ電極7 a 2と電氣的に接続されている。さらにコレクタ電極9 Cは、コンタクトホールC Cを通じてコレクタ引出領域3 c 2と電氣的に接続されている。コンタクトホールB C, E C, C Cは、並列接続トランジスタ相互間で同一サイズにすることが好ましい。

【0042】図3は、同一のSOI基板1の主面（半導体層1 cの主面）上における半導体島領域S Aの配置の一例を示している。領域A 1は、上記所望の電氣的特性の1つのトランジスタQを形成するのに、例えば1個の半導体島領域S Aの1個の単位トランジスタQ uを使用する領域を例示している。この場合、後述する配線を通じて半導体集積回路装置に組み込まれる。領域A 2は、例えば4個の同一サイズの半導体島領域S Aの4個の単位トランジスタQ uを使用する領域、領域A 3は、12

個の同一サイズの半導体島領域S Aの12個の単位トランジスタQ uを使用する領域をそれぞれ例示している。領域A 2, A 3では、複数の半導体島領域S Aが図3の縦横方向（X, Y方向）に沿って行列状に規則的に並んで配置されている。この場合、各領域A 2, A 3の各々において、各単位トランジスタQ uのエミッタ領域同士、ベース領域同士およびコレクタ領域同士を、後述する配線によって互いに接続することによって、所望の電氣的特性を持つトランジスタQを形成する。

【0043】図4は、上記図1〜3で説明した複数の単位トランジスタQ uの配線接続の一例を示している。ここでは、縦4列、横3行、合計12個の半導体島領域S A（単位トランジスタQ u）が近接した状態で規則的に並んでSOI基板1上に配置されている場合が例示されている。各行の間および列中央は配線領域となっており、半導体島領域S Aの隣接間隔が広がっている。すなわち、ここでは配線領域が浅い分離部2 a上に配置されている場合が例示されている。

【0044】図4の列方向（Y方向）の複数の単位トランジスタQ uにおけるベース領域同士、エミッタ領域同士およびコレクタ領域同士は、列方向（Y方向）に延在する帯状の第1層配線1 O L 1で互いに電氣的に接続されている。しかし、第1層配線1 O L 1は、一般的に線幅を充分広く取れないので、単位トランジスタQ uに流せる最大電流が第1層配線1 O L 1で律則され、列方向に配置可能な単位トランジスタQ uの数が制限されてしまうことになる。このような制限を受けないようにするには、配線構成として第1層配線1 O L 1の他に、第1層配線1 O L 1よりも上層に配置され、第1層配線1 O L 1よりも幅広とすることが可能な第2層配線以上の配線を使用することが好ましい。ここでは、各行の間の配線領域に第2層配線1 O L 2を配置し、列中央の配線領域に第3層配線1 O L 3を配置した場合を例示している。

【0045】第2層配線1 O L 2は、第1層配線1 O L 1の延在方向に対して直交する行方向（X方向）に延在されており、第1層配線1 O L 1との交差領域においてスルーホールT H 1を通じて第1層配線1 O L 1と電氣的に接続されている。すなわち、各行間の配線領域において最上行の第2層配線1 O L 2は、スルーホールT H 1を通じて第1層配線1 O L 1に接続され、さらにコンタクトホールB Cを介して単位トランジスタQ uのベース領域と電氣的に接続されている。また、各行間の配線領域において中央行の第2層配線1 O L 2は、スルーホールT H 1を通じて第1層配線1 O L 1に接続され、さらにコンタクトホールE Cを介して単位トランジスタQ uのエミッタ領域と電氣的に接続されている。さらに、各行間の配線領域において最下行の第2層配線1 O L 2は、スルーホールT H 1を通じて第1層配線1 O L 1に接続され、さらにコンタクトホールC Cを介して単位ト

ランジスタ Q_u のコレクタ引出領域と電氣的に接続されている。このようなスルーホール $TH1$ は、単位トランジスタ Q_u から最短距離になるように配置することが好ましい。これにより、各単位トランジスタ Q_u への電流供給効率のバランスを向上させることができる。

【0046】第3層配線 $10L3$ は、第2層配線 $10L2$ の上層に配置され、第2層配線 $10L2$ よりも幅広に形成されている。この第3層配線 $10L3$ は、第2層配線 $10L2$ の延在方向に対して直交する列方向（Y方向）に延在されており、第2層配線 $10L2$ との交差領域においてスルーホール $TH2$ を通じて第2層配線 $10L2$ と電氣的に接続されている。すなわち、列中央の配線領域において最左列の第3層配線 $10L3$ は、スルーホール $TH2$ を通じて、各行間の配線領域において最上行の第2層配線 $10L2$ に接続されている。また、列中央の配線領域において中央列の第3層配線 $10L3$ は、スルーホール $TH2$ を通じて、各行間の配線領域において中央行の第2層配線 $10L2$ に接続されている。さらに、列中央の配線領域において最右列の第3層配線 $10L3$ は、スルーホール $TH2$ を通じて、各行間の配線領域において最下行の第2層配線 $10L2$ に接続されている。

【0047】このような第3層配線 $10L3$ を配置した理由は、仮に第3層配線 $10L3$ を配置しないとすると、行方向に配置可能な単位トランジスタ Q_u の数が第2層配線 $10L2$ の給電能力に律則されることとなり、行方向に配置可能な単位トランジスタ Q_u の数が制限されてしまうので、その制限を受けないようにするためである。行方向に配置する単位トランジスタ Q_u の数を増やしたい場合には、第3層配線 $10L3$ の幅あるいは断面積を大きくすれば良い。なお、第1～第3層配線 $10L1$ ～ $10L3$ は、例えばアルミニウムまたはアルミニウム合金等のような金属からなる。また、第1～第3層配線 $10L1$ ～ $10L3$ は、相互配線であり、それぞれにおいて、単位トランジスタ Q_u のベース領域と接続されるものはベース配線またはベース共通配線、エミッタ領域と接続されるものはエミッタ配線またはエミッタ共通配線、コレクタ引出領域と接続されるものはコレクタ配線またはコレクタ共通配線である。

【0048】図5は、上記スルーホール $TH1$ の配置の変形例を示している。図5では図4の要部のみを拡大して示している。ベース用の第1層配線 $10L1$ は、行間の配線領域において中央の第2層配線 $10L2$ とスルーホール $TH1$ を通じて電氣的に接続されている。エミッタ用の第1層配線 $10L1$ は、行間の配線領域において最上行の第2層配線 $10L2$ とスルーホール $TH1$ を通じて電氣的に接続されている。さらに、コレクタ用の第1層配線 $10L1$ は、行間の配線領域において最下行の第2層配線 $10L2$ とスルーホール $TH1$ を通じて電氣的に接続されている。これ以外の構成は、図4と同じで

ある。これにより、Y方向に延びる第3層配線のベース、エミッタおよびコレクタの位置を変更できる。

【0049】また、図6および図7は、上記スルーホール $TH1$ の配置のさらに他の変形例を示している。図6はSOI基板の要部平面図を示し、図7は図6の第2層配線 $10L2$ を取り除いた状態を示している。ここでは、第1層配線 $10L1$ および第2層配線 $10L2$ の下地の絶縁膜をCMP（Chemical Mechanical Polish）法等によって平坦化することにより、ベースおよびコレクタに関わるスルーホール $TH1$ を半導体島領域 SA 上（すなわち、半導体島領域 SA の領域内）に配置することが可能とされている。もちろん、エミッタに関わるスルーホール $TH1$ を含めて半導体島領域 SA 上に配置させても良い。これ以外の構成、図4と同じである。この構造では、配線領域を無くせる分、図4の場合に比べて、隣接する半導体島領域 SA （すなわち、単位トランジスタ Q_u ）の隣接間隔を狭めることができるので、素子集積度を向上させることが可能となる。なお、図4～図7では図面を見易くするために第1層配線 $10L1$ の幅を、コンタクトホール BC 、 EC 、 CC の幅よりも細く示したが、実際は、第1層配線 $10L1$ の幅の方がコンタクトホール BC 、 EC 、 CC の幅よりも広い。

【0050】このように、大電流トランジスタを、前記したような完全に分離された単位トランジスタ Q_u で構成することにより、以下の効果を得ることができる。

【0051】第1に、半導体集積回路装置の設計の工数や手間を低減できる。本発明者らが検討した技術では、大電流トランジスタを1個のトランジスタで構成するものである。この技術では、必要電流（要求電流容量または要求特性）毎にトランジスタを用意する必要があり、用意するトランジスタの種類が多いため、それぞれのトランジスタに合わせてデバイスパラメータも多数必要となる。また、そのためにアナログ回路での特性のチューニングも非常に面倒である。これに対して、本実施の形態では、完全分離された単位トランジスタ Q_u を用いて大電流トランジスタを設計することにより、1～2種類の単位トランジスタ Q_u を用意すれば、ほとんど全ての大電流トランジスタの設計を行うことができるので、デバイスパラメータを多数用意する必要がない。また、アナログ回路における特性のチューニングも単位トランジスタ Q_u の並列接続数を変えるだけで対応できる。したがって、半導体集積回路装置の設計の自由度を向上させることができるので、その設計の工数や手間を大幅に低減できる。したがって、半導体集積回路装置の設計時間を短縮できる。また、設計費用を低減できる。さらに、製造面からも、特性を制御しなければならない素子の数を減らすことができるので、QC（QualityControl）工数の低減および歩留まりの向上に効果がある。

【0052】第2に、半導体集積回路装置の性能を向上させることができる。大電流トランジスタを1個のトラ

ンジスタで構成する上記本発明者らが検討した技術では、大電流容量を得るためにコレクターベース接合およびエミッターベース接合を大きくする必要があり、必然的に寄生容量および寄生抵抗等のような抵抗成分が増加してしまう。これに対して、本実施の形態では、上記のように完全分離され、1個当たりの寄生抵抗および寄生容量が非常に小さい単位トランジスタ Q_u を用いて大電流トランジスタを構成するので、寄生容量および寄生抵抗を低減できる。本発明者らの測定結果によればトランジスタと支持基板との間の容量（コレクタ容量またはコレクタ出力容量）を上記本発明者らの検討技術の半分以上、あるいは1/3以下にまで下げることができた。このため、大電流トランジスタでのノイズの発生を低減でき、また、大電流トランジスタの動作速度の向上を推進できる。すなわち、高性能（低寄生容量および低寄生抵抗）で、大電流容量を許容する大電流トランジスタを提供することができる。

【0053】また、エミッタ幅の小さい高性能な単位トランジスタ Q_u を用いて大電流トランジスタを形成するので、大電流トランジスタの性能（例えば電流増幅率や遮断周波数特性）を向上させることができる。エミッタ幅が相対的に小さいトランジスタは、エミッタ幅が相対的に大きなトランジスタに比べて電気的特性が良好であることが知られている。これを本発明者らの検討結果の一例を用いて説明する。比較対象の大電流トランジスタとして、そのエミッタ寸法（エミッタ幅×エミッタ長さ×個数）が、例えば $2.25\mu\text{m} \times 14\mu\text{m} \times 1.0$ 本、その全体面積が、例えば $40\mu\text{m} \times 20\mu\text{m} = 800\mu\text{m}^2$ 、必要なコレクタ電流（ I_c ）が、例えば50mAの1個のトランジスタを用意した。この場合のトランジスタの遮断周波数（ f_T ）は、例えば14GHz、ベース抵抗（ r_{bb} ）は、例えば7Ωであった。一方、小電流トランジスタ（単位トランジスタ）として、そのエミッタ寸法が、例えば $0.2\mu\text{m} \times 4\mu\text{m}$ 、全体面積が、例えば $3.3\mu\text{m} \times 5.4\mu\text{m} = 17.8\mu\text{m}^2$ 程度、コレクタ電流が、例えば1mAを用意した。この小電流トランジスタはSOI基板上に形成され完全に分離されている。この小電流トランジスタの遮断周波数（ f_T ）は、例えば33GHz、ベース抵抗（ r_{bb} ）は、例えば100Ωであった。例示した小電流トランジスタを用いて例示した大電流トランジスタを形成するには、大電流トランジスタに必要なコレクタ電流が50mAなので、小電流トランジスタを50個並列接続すれば良い。そのようにして構成された大電流トランジスタの遮断周波数（ f_T ）は、例えば30GHz、ベース抵抗（ r_{bb} ）は、例えば3Ω、コレクタ電流（ I_c ）は50mAであった。したがって、同じ50mAのコレクタ電流を得る場合でも、小電流トランジスタを並列接続した方が、遮断周波数を大幅に向上でき、また、ベース抵抗を大幅に低減することが可能であることが分かる。しか

も、その全体面積は、 $3.5\mu\text{m} \times 6\mu\text{m} \times 50 = 1050\mu\text{m}^2$ 程度であり、大幅な面積の増大も生じていない。

【0054】第3に、単位トランジスタ Q_u をSOI基板1上に設け、さらに完全分離していることにより、単位トランジスタ Q_u の隣接間隔を狭めることができるので、面積の大幅な増大を招くことなく大電流トランジスタを形成することができる。なお、SOI基板構造を有しない一般的な半導体基板において、大電流トランジスタを小電流トランジスタで構成する場合、各小電流トランジスタの隣接間隔を大幅に離して配置しなければならないので、大電流トランジスタを小電流トランジスタで形成するメリットがなく、むしろ1個の大きなトランジスタで形成した方が設計および性能上においてメリットが大きい。したがって、本実施の形態のような大電流トランジスタを単位トランジスタ Q_u で構成する発想自体が生じない。

【0055】第4に、単位トランジスタによる発熱部の分散および共通配線を介する熱放散により、熱伝達効率を良くすることができるので、熱設計を容易にすることができる。すなわち、許容電力損失を向上させることができる。

【0056】次に、本実施の形態の半導体集積回路装置の具体的な適用例を説明する。

【0057】本実施の形態の半導体集積回路装置は、例えばBiCMOS（Bipolar-Complementary Metal Oxide Semiconductor）回路またはC-Bip（Complementary Bipolar）回路等を有する通信用または産業用のアナログ-デジタル混載型集積回路である。デジタル回路のみの半導体集積回路装置に本実施の形態を適用することも効果はあるが、高度な特性チューニングが必要なアナログ回路を有する半導体集積回路装置に適用した方が特に効果大きい。

【0058】図8は、この半導体集積回路装置の一部の出力回路を抜き出して示した回路図である。この出力回路は、B級プッシュプル増幅動作を行うドライバ回路DRVである。B級プッシュプル動作することで、1個のトランジスタでドライバ回路を形成した場合に比べて4倍の出力を得ることができ、雑音や歪みの少ない増幅が可能となっている。ここでは、例えば入力端子INに入力された1mA程度の振幅の信号を10mA程度の振幅の信号に増幅して出力端子OUTに出力することが可能となっている。このドライバ回路DRVは、トランジスタ $Q_1 \sim Q_{10}$ （前記大電流トランジスタに相当）および抵抗 $R_1 \sim R_{10}$ を有して成り、基準電位の電源 V_1 と、高電位の電源 V_2 との間に電気的に接続されている。なお、電源電圧 V_1 は、例えば-5V程度、電源電圧 V_2 は、例えば+5V程度である。また、バイアス調整用の電圧 V_3 は、例えば-1V程度、電圧 V_4 は、例えば+1V程度である。

【0059】このドライバ回路DRVのトランジスタQ1, Q3, Q4, Q6, Q7, Q10は、npn型のトランジスタからなり、トランジスタQ2, Q5, Q8, Q9は、pnp型のトランジスタからなる。このうち、トランジスタQ1, Q2は、上記プッシュプル動作を行う。また、トランジスタQ3, Q4, Q7, Q8はダイオード接続されている。トランジスタQ1~Q4に必要なコレクタ電流（要求電流容量または要求特性）は、例えば24mA程度である。トランジスタQ5~Q8に必要なコレクタ電流は、例えば8mA程度である。さらに、トランジスタQ9, Q10に必要なコレクタ電流は、例えば2mA程度である。

【0060】本実施の形態においては、各トランジスタQ1~Q10が、上記単位トランジスタQuで構成されている。図9は、上記ドライバ回路DRVの形成領域における半導体島領域SAの配置の状態を示すSOI基板1の要部平面図である。ここで設けた単位トランジスタQuのエミッタ幅は、共通で、例えば0.3μm程度である。単位トランジスタQuのエミッタ長は、例えば5μmまたは5μmを標準としてその整数倍である。

【0061】npn型のトランジスタQ1の形成領域には、例えば2個の半導体島領域SA1が1組となってその組が12個、全部で24個の半導体島領域SA1が行列状に規則的に並んで配置されている。各半導体島領域SA1には、1個の単位トランジスタQuが形成されている。すなわち、トランジスタQ1は、24個の単位トランジスタQuで構成されている。これは、1個の単位トランジスタQuの最適コレクタ電流値を1mAとしたからである。すなわち、トランジスタQ1は、必要なコレクタ電流が24mAなので、24個の単位トランジスタQuで構成されている。また、2個の半導体島領域SA1で1組（2個の単位トランジスタQuで1組）としているのは、後述するように、2個の単位トランジスタQuのベース電極を共通とすることで、トランジスタQ1を形成するための半導体島領域SA1群のレイアウト面積を縮小できるからである。この1組、すなわち、2個の単位トランジスタQuで、1つの単位トランジスタとして定義することもできる。なお、npn型のトランジスタQ3, Q4の半導体島領域SA1の配置は、トランジスタQ1のそれと同じなので説明を省略する。

【0062】pnp型のトランジスタQ2の形成領域には、例えば12個の半導体島領域SA2が配置されている。各半導体島領域SA2には、例えば2個の単位トランジスタQuが配置されている。すなわち、このトランジスタQ2も、上記トランジスタQ1と同様の理由から、例えば24個の単位トランジスタQuで構成されている。1個の半導体島領域SA2内に2個の単位トランジスタQuを配置したのも上記と同様にレイアウト面積の縮小を図るためである。ここでも、この1個の半導体島領域SA2内の2個の単位トランジスタQuで1個の

単位トランジスタとして定義することもできる。

【0063】pnp型のトランジスタQ5の形成領域には、上記と同様の半導体島領域SA2が図9の行方向（X方向）に4個並んで配置されている。すなわち、トランジスタQ5は、例えば8個の単位トランジスタQuで構成されている。これにより、トランジスタQ5に必要なコレクタ電流（8mA）を得ることが可能となっている。なお、pnp型のトランジスタQ8の半導体島領域SA2の配置は、トランジスタQ5のそれと同じなので説明を省略する。

【0064】npn型のトランジスタQ6の形成領域には、2個の半導体島領域SA1が1組となってその組が図9の行方向（X方向）に4個、合計8個の半導体島領域SA1が配置されている。すなわち、トランジスタQ6は、例えば8個の単位トランジスタQuで構成されており、トランジスタQ6に必要なコレクタ電流（8mA）を得ることが可能となっている。

【0065】npn型のトランジスタQ7の形成領域には、例えば8個の半導体島領域SA1がほぼ同じ間隔で近接した状態で図9の行方向（X方向）に並んで配置されている。すなわち、トランジスタQ7は、例えば8個の単位トランジスタQuで構成されており、トランジスタQ7に必要なコレクタ電流（8mA）を得ることが可能となっている。

【0066】pnp型のトランジスタQ9の形成領域には、1個の半導体島領域SA2が配置されている。すなわち、トランジスタQ9は、2個の単位トランジスタQuで構成されている。また、npn型のトランジスタQ10の形成領域には、2個の半導体島領域SA1が組をなした状態で配置されている。すなわち、トランジスタQ10は、2個の単位トランジスタQuで構成されている。

【0067】次に、上記npn型のトランジスタQ1の構成を図10~図14により詳細に説明する。図10はトランジスタQ1の形成領域におけるSOI基板1の要部平面図であって半導体島領域SA1とコンタクトホールBC, EC, CCとの平面位置関係を示したレイアウト平面図を示している。組を成す2個の半導体島領域SA1の領域内にはエミッタおよびコレクタ用のコンタクトホールEC, CCが配置されている。組を成す2個の半導体島領域SA1の隣接間であって上記浅い分離部2aの領域にはベース用のコンタクトホールBCが配置されている。

【0068】図11は図10と同一箇所における第1層配線10L1および第2層配線10L2のレイアウト平面図、図12は図11の要部拡大平面図であって半導体島領域SA1、第1層配線10L1および第2層配線10L2を重ねて示したレイアウト平面図、図13は図12の第1層配線10L1、半導体島領域SA1およびコンタクトホールBC, CC, ECの平面位置関係を示し

たレイアウト平面図をそれぞれ示している。

【0069】行列状に配置された複数の単位トランジスタ Q_u のコレクタは、コレクタ用の第1層配線 $10LC1$ ($10L1$) によって互いに電氣的に接続されて1つに纏められている。コレクタ用の第1層配線 $10LC1$ は、行方向(X方向)に延在する幅広配線部と、これに対して交差する列方向(Y方向)に延在する幅広配線部とを有している。その行方向に延在する幅広配線部は、その一部が列方向に延びて、行方向に沿って配置された複数の単位トランジスタ Q_u のコレクタと電氣的に接続されている。また、第1層配線 $10LC1$ の列方向に延在する幅広配線部は、その一部が幅広配線部の左右の単位トランジスタ Q_u のコレクタ上に延在しコンタクトホール CC を通じてコレクタと電氣的に接続されている。

【0070】また、行列状に配置された複数の単位トランジスタ Q_u のエミッタは、エミッタ用の第1層配線 $10LE1$ ($10L1$) によって互いに電氣的に接続されて1つに纏められている。エミッタ用の第1層配線 $10LE1$ は、上記コレクタ用の第1層配線 $10LC1$ と歯状にかみ合わされるようにレイアウトされている。すなわち、エミッタ用の第1層配線 $10LE1$ も、行方向(X方向)に延在する幅広配線部と、これに対して交差する列方向(Y方向)に延在する幅広配線部とを有している。その行方向に延在する幅広配線部は、その一部が列方向に延びて、行方向に沿って配置された複数の単位トランジスタ Q_u のエミッタと電氣的に接続されている。また、上記列方向に延在する幅広配線部は、その一部が幅広配線部の左右の単位トランジスタ Q_u のエミッタ上に延在しコンタクトホール EC を通じてエミッタと電氣的に接続されている。

【0071】さらに、行列状に配置された複数の単位トランジスタ Q_u のベースは、ベース用の第1層配線 $10LB1$ ($10L1$) に電氣的に接続され、さらに、スルーホール $TH1$ を通じて第1層配線 $10L1$ の上層の第2層配線 $10LB2$ ($10L2$) と電氣的に接続されて1つに纏められている。

【0072】図14は図10～図13の $X2-X2$ 線の断面図を示している。組を成す2個の半導体島領域 $SA1$ は、深い溝型の分離部 $2b$ によって互いに電氣的に分離されている。したがって、半導体層 $1c$ においては、組を成す2個の半導体島領域 $SA1$ の各々に配置された単位トランジスタ Q_u 、 Q_u は互いに電氣的に分離されている。ただし、その2個の単位トランジスタ Q_u 、 Q_u の各々のベース電極 $9B$ (第1層配線 $10LB1$) は共通に使用されるようになっている。すなわち、2個の単位トランジスタ Q_u 、 Q_u のベース引出電極 5 は、2個の半導体島領域 $SA1$ の隣接間における分離部 $2a$ 上に延在し、一体的にパターンニングされて互いに電氣的に接続されている。そして、この一体的にパターンニングされたベース引出電極 5 はコンタクトホール BC を通じて

1つのベース電極 $9B$ (ベース用の第1層配線 $10LB1$) と電氣的に接続されている。このように、2個の単位トランジスタ Q_u 、 Q_u のベース電極 $9B$ を共通とすることにより、それら単位トランジスタ Q_u 、 Q_u の隣接間隔を狭くすることができるので、複数の単位トランジスタ Q_u の一群の全体的なレイアウト面積を縮小できる。これ以外の構成は、前記図2(c)で説明したのと同じである。

【0073】次に、上記 pnp 型のトランジスタ $Q2$ の構成を図15～図19により詳細に説明する。図15はトランジスタ $Q2$ の形成領域における SOI 基板1の要部平面図であって半導体島領域 $SA2$ とコンタクトホール BC 、 EC 、 CC との平面位置関係を示したレイアウト平面図を示している。1個の半導体島領域 $SA2$ の領域内には、1個のベース用のコンタクトホール BC と、2個のエミッタ用のコンタクトホール EC と、2個のコレクタ用のコンタクトホール CC とが配置されている。ベース用のコンタクトホール BC は、半導体島領域 $SA2$ の中央に配置されている。エミッタ用のコンタクトホール EC は、ベース用のコンタクトホール BC の左右両側に配置され、さらにその外側にコレクタ用のコンタクトホール CC が配置されている。

【0074】図16は図15と同一箇所における第1層配線 $10L1$ および第2層配線 $10L2$ のレイアウト平面図、図17は図16の要部拡大平面図であって半導体島領域 $SA2$ 、第1層配線 $10L1$ および第2層配線 $10L2$ を重ねて示したレイアウト平面図、図18は図17の第1層配線 $10L1$ 、半導体島領域 $SA2$ およびコンタクトホール BC 、 CC 、 EC の平面位置関係を示したレイアウト平面図をそれぞれ示している。第1層配線 $10L1$ ($10LC1$ 、 $10LE1$ 、 $10LB1$) および第2層配線 $10L2$ ($10LB2$) の配線接続の仕方は、コレクタ用の第1層配線 $10LC1$ とエミッタ用の第1層配線 $10LE1$ の配置が上下反転しただけで、それ以外は図10～図13で説明したのと同じなので説明を省略する。

【0075】図19は図15～図18の $X3-X3$ 線の断面図を示している。深い溝型の分離部 $2b$ および半導体層 $1c$ によって取り囲まれ分離された1つの半導体島領域 $SA2$ 内のコレクタ領域 $3b1$ には、2個のコレクタ引出領域 $3c1$ 、 $3c1$ が形成されている。この2個のコレクタ引出領域 $3c1$ 、 $3c1$ は、それぞれコンタクトホール CC を通じてコレクタ電極 $9C$ 、 $9C$ (第1層配線 $10LC1$) と電氣的に接続されている。また、その1つの半導体島領域 $SA2$ 内のベース領域 $3b1$ には、2個のエミッタ領域 $6a1$ 、 $6a1$ が離間した状態で形成されている。この2個のエミッタ領域 $6a1$ 、 $6a1$ は、それぞれエミッタ電極 $7a1$ 、 $7a1$ およびコンタクトホール EC を通じてエミッタ電極 $9E$ 、 $9E$ (第1層配線 $10LE1$) と電氣的に接続されている。

さらに、ベース領域4a1は、2個のエミッタ領域6a1、6a1の間に配置されたコンタクトホールBCを通じてベース電極9B（第1層配線10LB1）と電氣的に接続されている。このような構成以外は、前記図2

（b）で説明したのと同じである。

【0076】次に、本実施の形態の半導体集積回路装置の製造方法の一例を図20によって説明する。

【0077】まず、半導体集積回路装置の設計に必要なデバイスパラメータ（例えば抵抗や容量）を求める。デバイスパラメータは、例えば抵抗、容量（寄生容量を含む）、耐圧および各種電流等のような半導体集積回路装置の素子（ここでは特にトランジスタ）の電氣的特性を表すパラメータであり、回路設計の基準となるものである（工程100）。続いて、デバイスパラメータを基準として、所望の半導体集積回路の設計を行う。ここではトランジスタレベルの回路構成と素子特性を決定する

（工程101）。続いて、回路設計で設計された回路図（回路接続データ）に基づいて素子の配置およびそれらの間を配線する。この際、本実施の形態では、レイアウト平面上に上記複数の単位トランジスタQuをレイアウトし、これを配線によって接続することで所定のトランジスタ（上記トランジスタQ～Q10等）を形成する。この際、各トランジスタ（上記トランジスタQ～Q10等）の形成領域には、そのトランジスタを作成するのに必要な数よりも若干多くの単位トランジスタQuを配置する（工程102）。続いて、このようにして作成された半導体集積回路装置において、どれ位の寄生容量または抵抗がつかかを抽出した後、回路シミュレーションを行う（工程103）。

【0078】次いで、回路シミュレーションによって求められた半導体集積回路装置の寄生容量値や抵抗値に基づいて、各大電流トランジスタ（上記トランジスタQ～Q10等）における単位トランジスタQuの並列接続数を決定する（工程104）。ここでは、回路に接続される単位トランジスタQuの数を調節することで、半導体集積回路装置の寄生容量値や抵抗値を調節する。例えば設計された半導体集積回路装置に対して回路シミュレーションを行うと、その半導体集積回路装置の寄生容量値や抵抗値が許容値よりも上回る場合がある。その場合には、回路に接続されている単位トランジスタQuの幾つかを回路から切り離すことで、その寄生容量や抵抗を下げることができる。上記のようにレイアウト設計時（工程102）に単位トランジスタQuを必要数よりも多めに配置しておいたのは、このような若干の修正が必要となることを見越したものである。すなわち、容量等の合わせ込みを単位トランジスタQuの接続、非接続で行うためである。

【0079】本発明者らが検討した技術（大電流トランジスタを、単位トランジスタで構成せず、はじめから1個（1種類）のトランジスタで形成してしまう技術）で

は、上記のような寄生容量等による修正に際して、素子の配置の段階、すなわち、レイアウト設計の段階からやり直さなければならない。したがって、手間のかかる面倒な作業であり、設計時間に大幅な遅れを招く原因となっている。これに対して、本実施の形態では、寄生容量等の増加を招く余分な単位トランジスタQuを回路から切り離せば良いだけである。その切り離しは、例えば単位トランジスタQuと配線とを結ぶコンタクトホールを配置しないようにするか、配線自体を部分的に無くせば良いだけである。すなわち、いずれの方法も配線の一部を変更するだけで済むので、比較的容易であり、設計時間の大幅な短縮が可能となる。

【0080】このようにして容量等の合わせ込みを行った後、作成された設計図を基に、フォトマスクを作成する（工程105）。そして、そのフォトマスクを用いた露光処理によって実際にウエハ（SOI基板1）上にデバイスパターンを形成し、半導体集積回路装置を形成する（工程106）。その後、製造された半導体集積回路装置（半導体チップ）の特性評価を行う（工程107）。

【0081】（実施の形態2）本実施の形態においては、単位トランジスタの変形例を説明する。図21は、本実施の形態のnpn型の単位トランジスタQuの要部断面図を示している。本実施の形態においては、深い溝型の分離部2bおよび絶縁層1bによって取り囲まれ分離された半導体島領域SAのコレクタ領域内に、2個のベース領域4a2が設けられ、その各々のベース領域4a2内にエミッタ領域6a2が設けられている。なお、ベース領域4a2およびエミッタ領域6a2を4個以上設けても良い。

【0082】図22および図23は、その具体例の平面図を示している。図22および図23は単位トランジスタQuの平面図である。図22では、半導体島領域SA、第1、第2層配線10L1、10L2を重ねて示し、図23では半導体島領域SAおよび第1層配線10L1を重ねて示した。

【0083】本実施の形態では、1個の半導体島領域SA内の1個の単位トランジスタQuが、2個のnpn型の小電流トランジスタを並列接続することで構成している。したがって、1個の半導体島領域SAには、ベース、エミッタおよびコレクタがそれぞれ2個ずつ配置されている。単位トランジスタQuを構成する小電流トランジスタのエミッタ幅は、例えば0.3μm、エミッタ長さは、例えば10μm程度である。そして、このような単位トランジスタQuが25個配置されて、1つの大電流トランジスタが形成されている。

【0084】半導体島領域SAは、図22および図23の列方向（Y方向）に沿って複数個並んで配置されている。その半導体島領域SAの列の両側にコレクタ用の第1層配線10LC1（10L1）と、エミッタ用の第1

層配線10LE1(10L1)との幅広配線部が配置されている。すなわち、このコレクタ用の第1層配線10LC1の幅広配線部と、エミッタ用の第1層配線10LE1の幅広配線部とは、互いに櫛歯状にかみ合うように配置されている。

【0085】コレクタ用の第1層配線10LC1の幅広配線部の一部は、図22および図23の行方向(X方向)に沿って各单位トランジスタQuのコレクタまで延在し、コレクタ用のコンタクトホールCCを通じてコレクタ引出領域と電気的に接続されている。これにより、各单位トランジスタQuのコレクタが互いに電気的に接続されている。また、第1層配線10LE1の幅広配線部も、図22および図23の行方向(X方向)に沿って各单位トランジスタQuのエミッタまで延在し、エミッタ用のコンタクトホールECを通じてエミッタ領域と電気的に接続されている。これにより、各单位トランジスタQuのエミッタが互いに電気的に接続されている。なお、ここでも図面を見易くするためにコンタクトホールBC, EC, CCの幅の方が、第1層配線10LB1, 10LE1, 10LC1よりも幅広になっているが、実際はコンタクトホールBC, EC, CCの幅の方が第1層配線10LB1, 10LE1, 10LC1の幅よりも狭い。

【0086】ベース領域4a2は、ベース用のコンタクトホールBCを通じて第1層配線10LB1(10L1)と電気的に接続されている。このベース用の第1層配線10LB1は、図22および図23の行方向に延びる短い平面帯状のパターンからなる。各单位トランジスタQuのベース用の第1層配線10LB1は、その上層の第2層配線10LB2(10L2)と電気的に接続されている。これにより、各单位トランジスタQuのベースが互いに電気的に接続されている。ベースを第1, 第2層配線10LB1, 10LB2の比較的細い配線で引き出す構造としたのは、ベースに流れる電流が、コレクタやエミッタに流れる電流に比べると少ないからである。

【0087】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0088】例えば前記実施の形態においては、配線を通常の配線構造とした場合について説明したが、これに限定されるものではなく、例えば絶縁膜に形成された溝内に導体膜を埋め込むことで配線またはプラグを形成する、いわゆるダシマン法または配線溝とホールとを同一導体材料で埋め込むデュアルダシマン法による配線構造としても良い。

【0089】また、前記実施の形態におけるSOI基板として、例えばSOS基板(Silicon On Sapphire)等のように支持基板を有しないようなSOI基板を用いて

も良い。

【0090】また、SOI基板の製造方法は、ウエハの貼り合わせ法に限定されるものではなく種々変更可能であり、例えば半導体基板に酸素イオンを打ち込むことで絶縁層を形成する、いわゆるSIMOX(Separation by Implanted Oxygen)を用いても良い。

【0091】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログ・デジタル混載回路に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)またはフラッシュメモリ(EEPROM; Electric Erasable Programmable Read Only Memory)等のようなメモリ回路を同一SOI基板に設けている半導体集積回路装置にも適用できる。

【0092】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0093】すなわち、SOI基板の半導体層において、互いに完全に電気的に分離された複数の単位バイポーラトランジスタを並列接続することで、大電流容量を必要とするバイポーラトランジスタを構成することにより、1または2種類程度の単位バイポーラトランジスタを用意すれば、ほとんどの大電流トランジスタを設計することができるので、半導体集積回路装置の設計工数を低減することが可能となる。

【図面の簡単な説明】

【図1】(a)は本発明の一実施の形態である半導体集積回路装置を構成するバイポーラトランジスタのシンボル図、(b)は(a)のバイポーラトランジスタの構成を示す回路図、(c)は(a)のバイポーラトランジスタのデバイス構造を示す要部平面図である。

【図2】(a)は図1の単位バイポーラトランジスタの平面図、(b)は単位バイポーラトランジスタをpnp型とした場合の(a)のX1-X1線の断面図、(c)は単位バイポーラトランジスタをnpn型とした場合の(a)のX1-X1線の断面図である。

【図3】図1の半導体集積回路装置における半導体島領域の配置の一例を示したSOI基板の要部平面図である。

【図4】図1の半導体集積回路装置における複数の単位バイポーラトランジスタの配線接続の一例を示すSOI基板の要部平面図である。

【図5】図4の第1層配線と第2層配線とを接続するスルーホールの配置の仕方における変形例を示すSOI基板の要部拡大平面図である。

【図6】図4の第1層配線と第2層配線とを接続するスルーホールの配置の仕方における他の変形例を示すSOI基板の要部拡大平面図である。

【図7】図6の配線層から第2層配線を取り除いて示したSOI基板の要部拡大平面図である。

【図8】本発明の一実施の形態である半導体集積回路装置を構成する一部の回路図である。

【図9】図8の回路の形成領域における半導体島領域の配置の状態を示すSOI基板の要部平面図である。

【図10】図8および図9の半導体集積回路装置における所定のバイポーラトランジスタの形成領域におけるSOI基板の要部平面図である。

【図11】図10と同一箇所における第1、第2層配線の配置を示したSOI基板の要部平面図である。

【図12】図11の要部を拡大した平面図であって、半導体島領域および第1、第2層配線を重ねて示したSOI基板の要部拡大平面図である。

【図13】図12の第1層配線と半導体島領域との平面位置関係を示したSOI基板の要部平面図である。

【図14】図10～図13のX2-X2線の断面図である。

【図15】図8および図9の半導体集積回路装置における所定のバイポーラトランジスタの形成領域におけるSOI基板の要部平面図である。

【図16】図15と同一箇所における第1、第2層配線の配置を示したSOI基板の要部平面図である。

【図17】図16の要部を拡大した平面図であって、半導体島領域および第1、第2層配線を重ねて示したSOI基板の要部拡大平面図である。

【図18】図17の第1層配線と半導体島領域との平面位置関係を示したSOI基板の要部平面図である。

【図19】図15～図18のX3-X3線の断面図である。

【図20】本発明の一実施の形態である半導体集積回路装置の製造工程を示すフロー図である。

【図21】本発明の他の実施の形態である半導体集積回路の要部断面図である。

【図22】図21の半導体集積回路装置の要部平面図である。

ある。

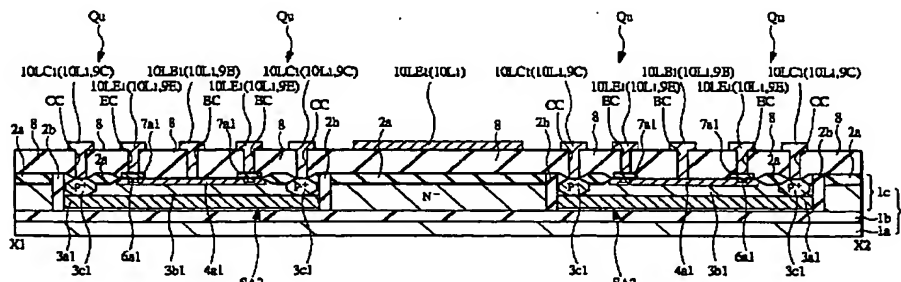
【図23】図21の半導体集積回路装置の要部平面図である。

【符号の説明】

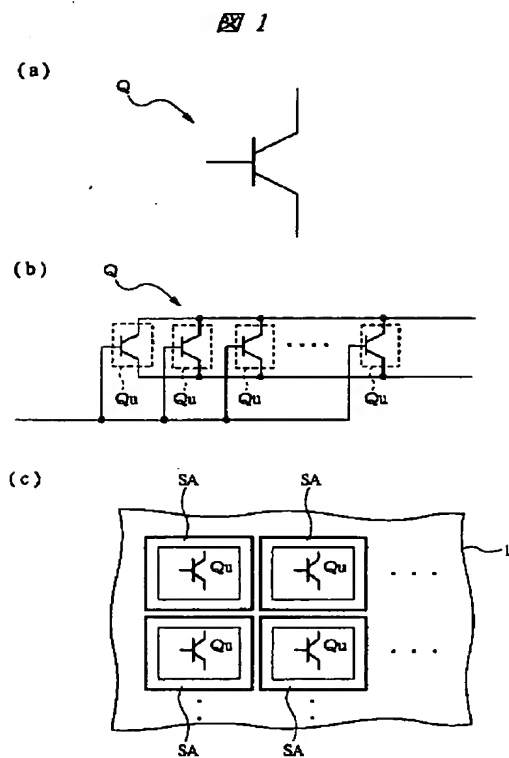
- | | |
|--------------|------------------|
| 1 | SOI基板 |
| 1a | 支持基板 |
| 1b | 絶縁層 |
| 1c | 半導体層 |
| 2a | 浅い分離部 |
| 2b | 深い溝型の分離部（素子分離用溝） |
| 3a1, 3a2 | 埋込コレクタ領域 |
| 3b1, 3b2 | コレクタ領域 |
| 3c1, 3c2 | コレクタ引出領域 |
| 4a1, 4a2 | ベース領域 |
| 4b1 | ベース引出領域 |
| 5 | ベース引出電極 |
| 6a1, 6a2 | エミッタ領域 |
| 7a1, 7a2 | エミッタ電極 |
| 8 | 絶縁膜 |
| 9B | ベース電極 |
| 9E | エミッタ電極 |
| 9C | コレクタ電極 |
| 10L1 | 第1層配線 |
| 10LB1 | 第1層配線 |
| 10LE1 | 第1層配線 |
| 10LC1 | 第1層配線 |
| 10L2 | 第2層配線 |
| 10LB2 | 第2層配線 |
| 10L3 | 第3層配線 |
| Q, Q1～Q10 | バイポーラトランジスタ |
| Qu | 単位バイポーラトランジスタ |
| SA, SA1, SA2 | 半導体島領域 |
| BC, EC, CC | コンタクトホール |
| DRV | ドライバ回路 |

【図19】

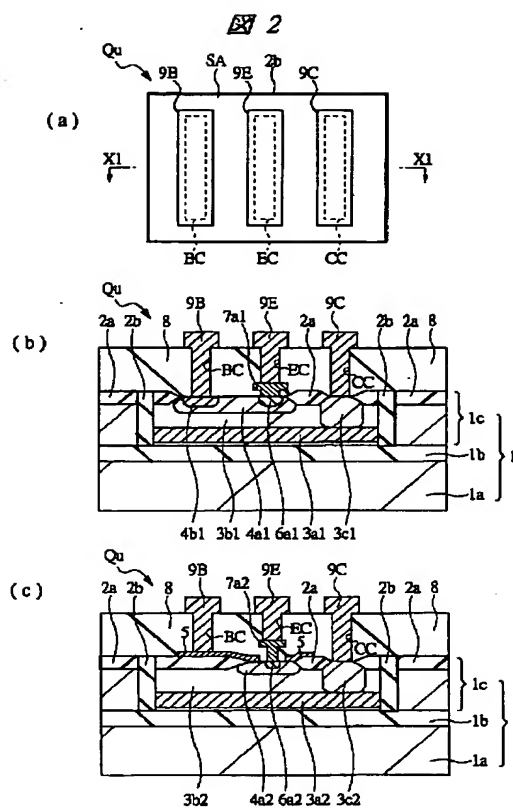
図19



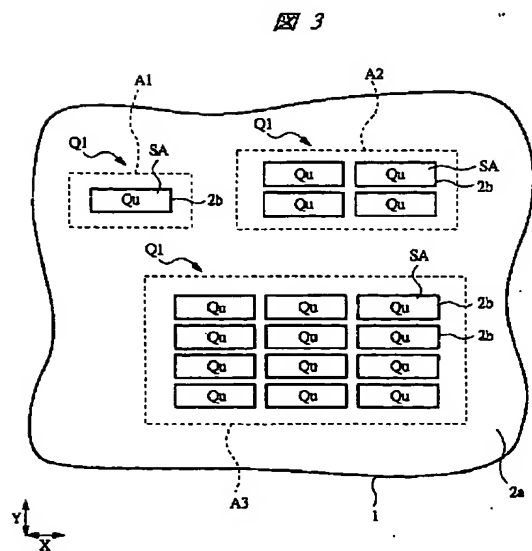
【図1】



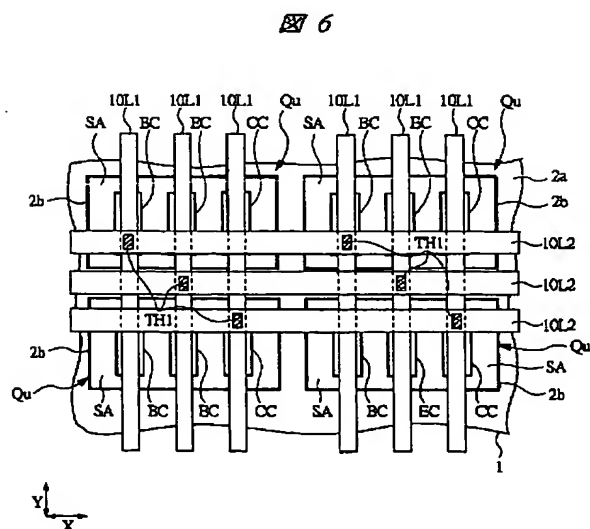
【図2】



【図3】

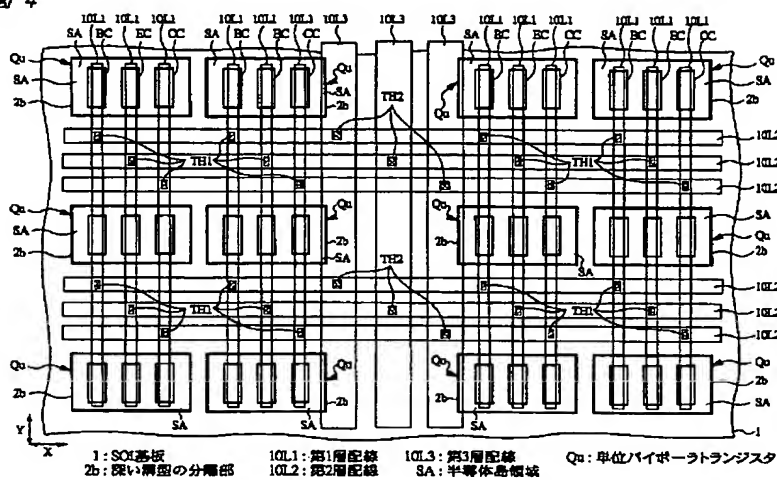


【図6】



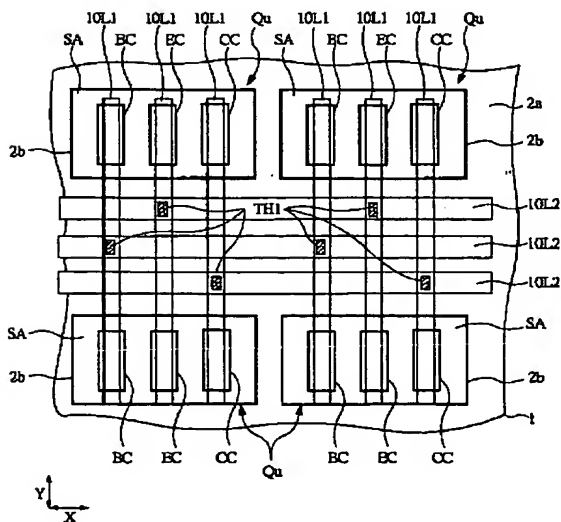
【図4】

図4



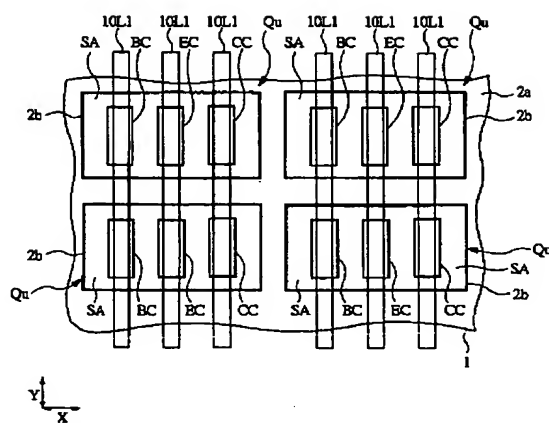
【図5】

図5

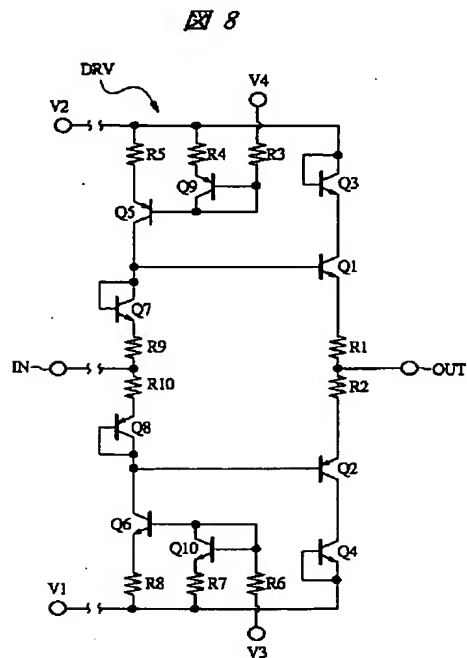


【図7】

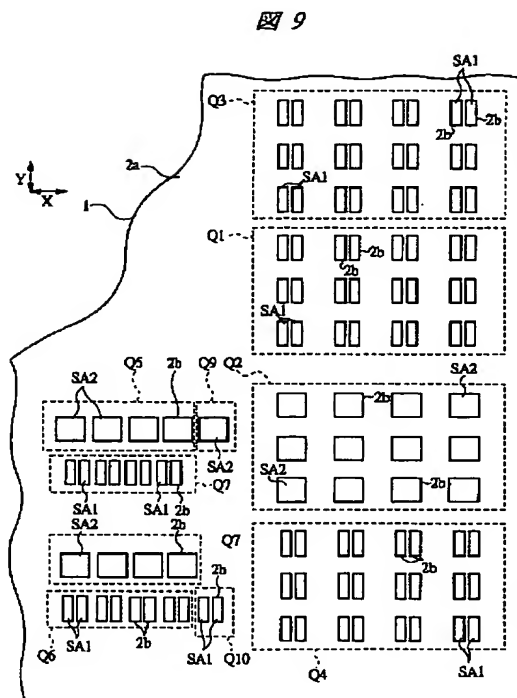
図7



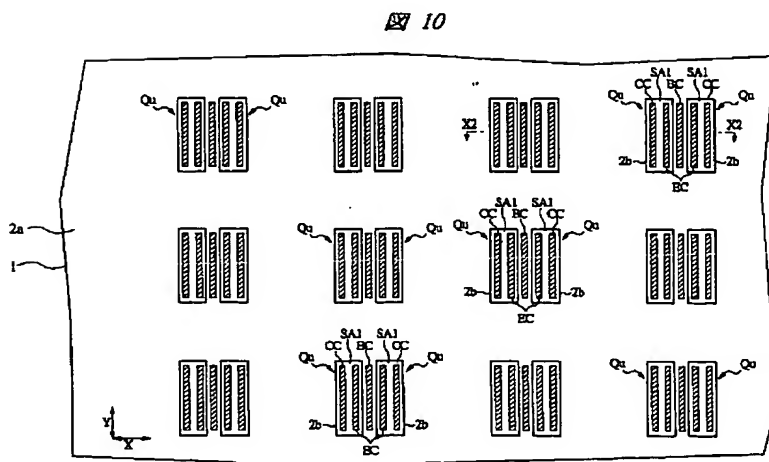
【図8】



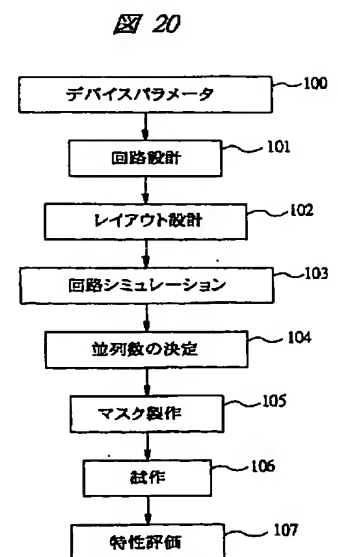
【図9】



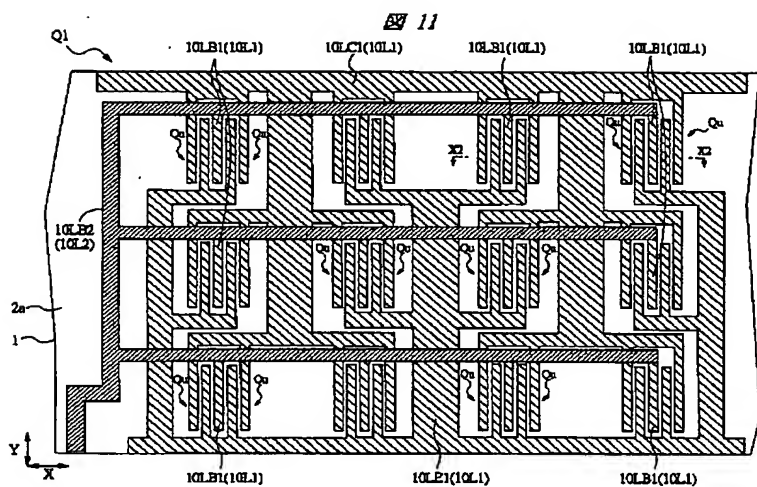
【図 10】



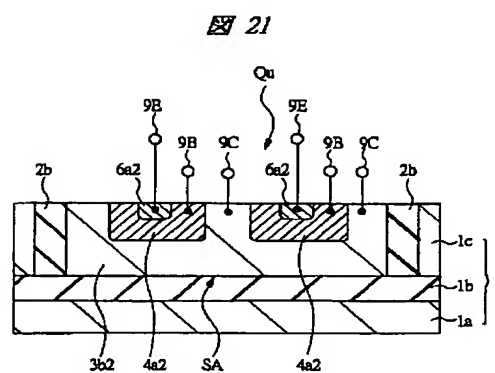
【図 20】



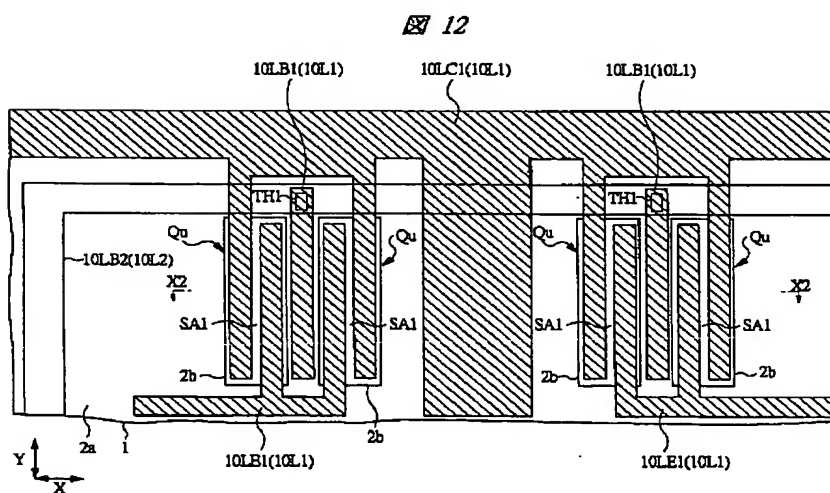
【图 1 1】



【図 21】

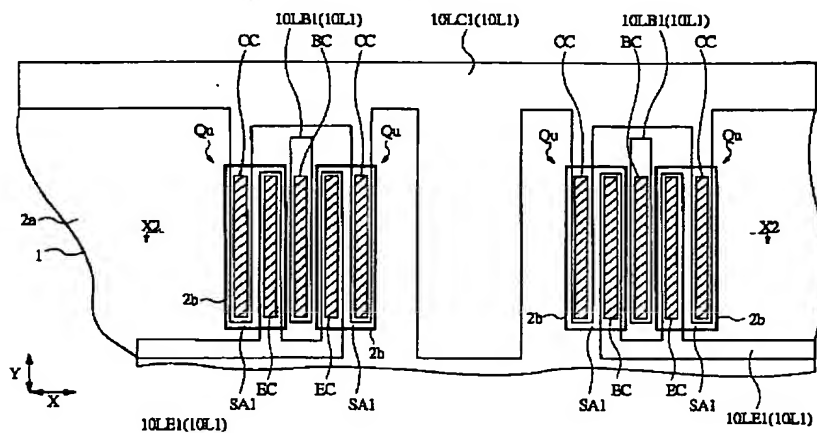


【図 12】



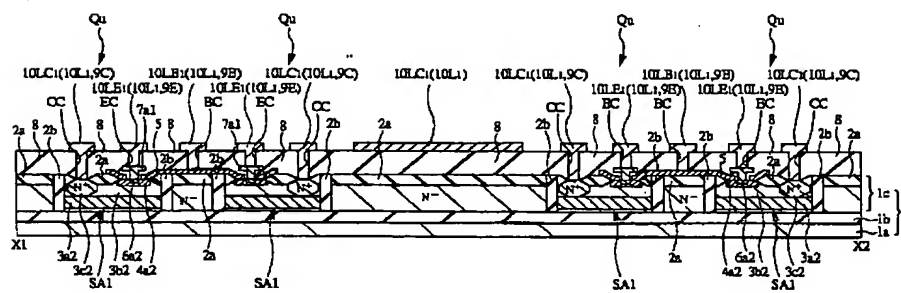
【図 13】

13

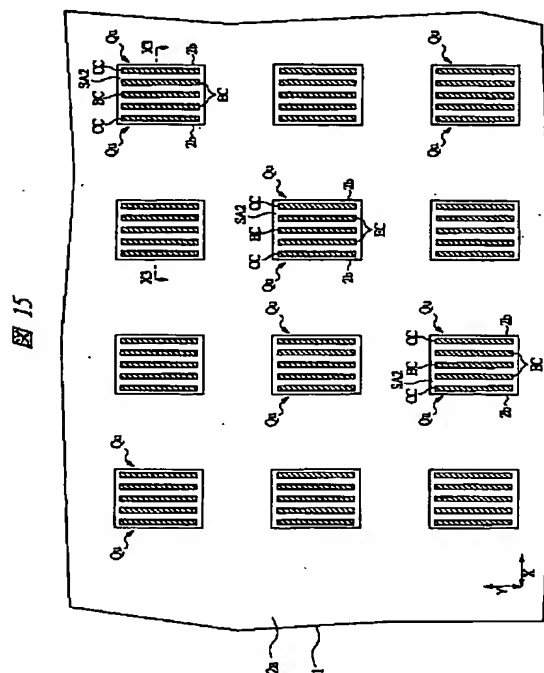


【图 14】

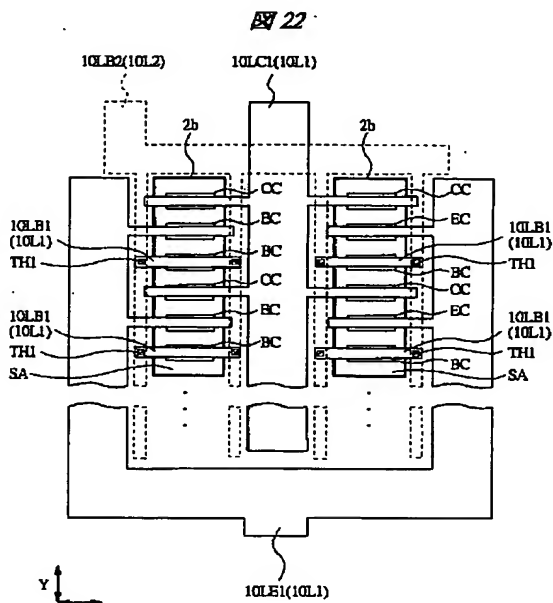
14



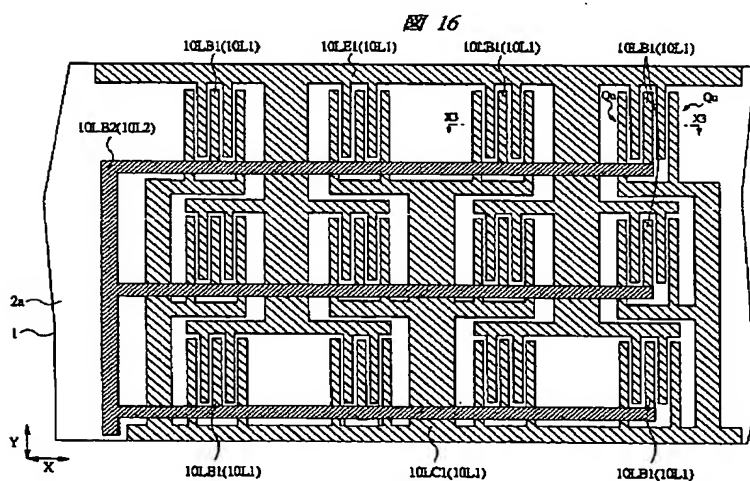
【図 15】



【図 2 2】

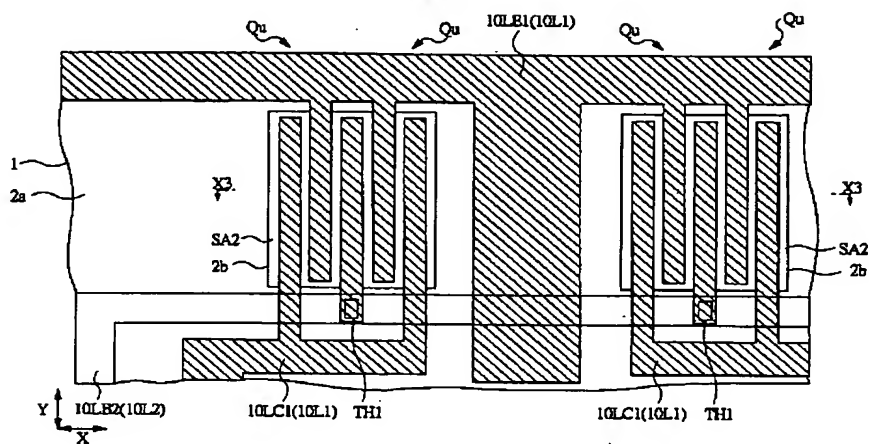


【图 16】



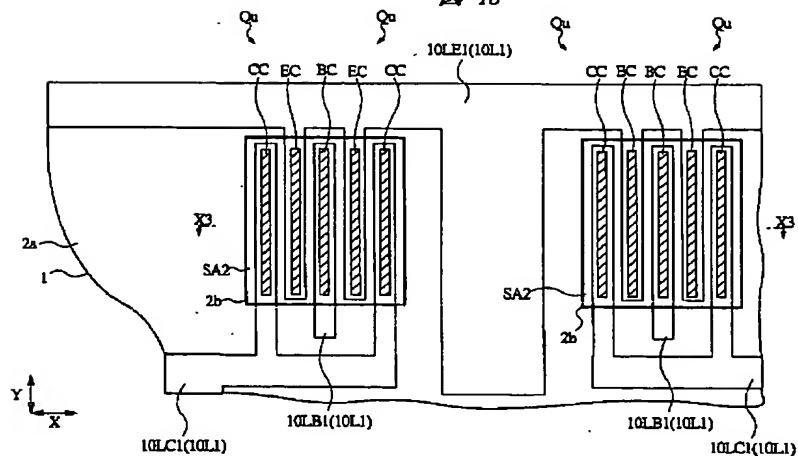
【图 17】

17

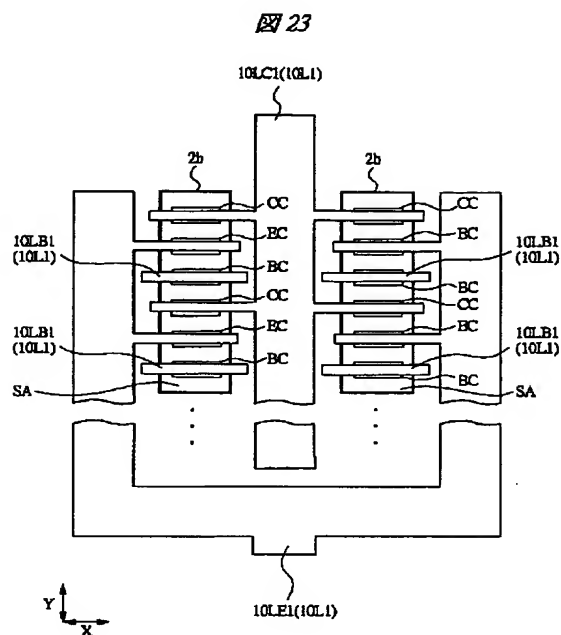


【图 18】

18



【図 23】



フロントページの続き

(72)発明者 岩崎 貴之

茨城県日立市大みか町七丁目 1 番 1 号 株 30
式会社日立製作所日立研究所内

(72)発明者 辻 浩輔

東京都小平市上水本町 5 丁目 22 番 1 号 株
式会社日立超エル・エス・アイ・システム
ズ内

35

(72)発明者 鎌田 千代士

東京都青梅市新町六丁目 16 番地の 3 株式
会社日立製作所デバイス開発センタ内

F ターム(参考) 5F003 AP05 AZ03 BA22 BA27 BA96
BA97 BB07 BB08 BC08 BE07
BE08 BH01 BH94 BJ03 BJ06
BJ99 BP36

5F082 AA03 AA04 AA24 AA25 BA04
BA05 BA06 BA48 BC03 BC04
DA06 DA07 DA10 FA01 FA13
FA20 GA02 GA04